



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 1 6 7 5 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 1 6 7 5 4]

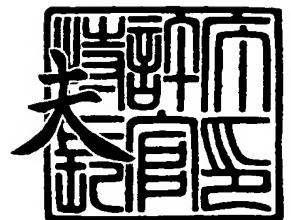
出 願 人 シャープ株式会社
Applicant(s): 株式会社島津製作所



2 0 0 3 年 1 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 6 9 4 4



【書類名】 特許願

【整理番号】 02J04783

【提出日】 平成15年 1月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/30
H04N 5/32
H04N 5/335

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 和泉 良弘

【発明者】

【住所又は居所】 京都府相楽郡精華町光台 3 - 9 株式会社島津製作所内

【氏名】 佐藤 賢治

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【特許出願人】

【識別番号】 000001993

【氏名又は名称】 株式会社島津製作所

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一



【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板および電磁波検出器

【特許請求の範囲】

【請求項 1】

基板上に、信号線、走査線が格子状に配設され、単位格子毎にスイッチング素子と画素電極とが形成されたアクティブマトリクス基板において、

上記画素電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記画素電極と上記信号線との隙間を $X1$ 、上記画素電極と上記走査線との隙間を $Y1$ としたとき、 $X1 > Y1$ の関係を満たすことを特徴とするアクティブマトリクス基板。

【請求項 2】

上記単位格子毎に、金属膜からなる蓄積容量電極を備えた蓄積容量が備えられており、上記蓄積容量電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記蓄積容量電極と上記信号線との隙間を $X2$ 、上記蓄積容量電極と上記走査線との隙間を $Y2$ としたとき、 $X2 > Y2$ の関係を満たすことを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

アクティブマトリクス基板上に、検出対象の電磁波に感応して電荷を生成する半導体膜が形成されており、上記アクティブマトリクス基板における画素電極が、上記半導体膜で生成された電荷に対する電荷収集電極として作用する電磁波検出器において、

上記アクティブマトリクス基板は、基板上に、信号線、走査線が格子状に配設され、単位格子毎にスイッチング素子と画素電極とが形成されてなる構成であり、

上記画素電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記画素電極と上記信号線との隙間を $X1$ 、上記画素電極と上記走査線との隙間を $Y1$ としたとき、 $X1 > Y1$ の関係を満たすことを特徴とする電磁波検出器。

【請求項 4】

上記アクティブマトリクス基板に対し、上記画素電極の形成側と反対側に、光

源を備えていることを特徴とする請求項 3 に記載の電磁波検出器。

【請求項 5】

上記アクティブマトリクス基板は、上記単位格子毎に、金属膜からなる蓄積容量電極を備えた画素容量が備えられており、上記蓄積容量電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記蓄積容量電極と上記信号線との隙間を $X2$ 、上記蓄積容量電極と上記走査線との隙間を $Y2$ としたとき、 $X2 > Y2$ の関係を満たすことを特徴とする請求項 4 に記載のアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、X線等の放射線、可視光、赤外線等の電磁波による画像を検出できる電磁波検出器と、それに用いるアクティブマトリクス基板の構造に関するものである。

【0002】

【従来の技術】

従来、電磁波検出器の一種として、例えば、X線等の電磁波を感知して電荷（電子-正孔対）を発生する半導体膜、すなわち電磁波導電性（光導電性とも呼ぶ）を有する半導体膜と、該半導体膜中で生成された電荷を収集する電荷収集電極とを行方向および列方向の二次元状に配置するとともに、画素毎にスイッチング素子を設けて、各行毎にスイッチング素子を順次オンにして各列毎に上記電荷を読み出す二次元の電磁波検出器が知られている。

【0003】

上記二次元の電磁波検出器は、例えば、下記の非特許文献 1 等にその構造や原理が解説されている。上記非特許文献 1 に記載されている従来の電磁波検出器の構成および原理について以下に簡単に説明する。

【0004】

図 8 は、電磁波検出器の検出原理を示す断面図である。電磁波検出器は、例えば a-Se に代表される電磁波導電性を示す半導体膜 101 を備え、該半導体膜

101の上層にバイアス電極102が、下層に電荷収集電極103が形成されている。電荷収集電極103は、蓄積容量(Cs)104に接続されており、蓄積容量104はFET(TFT)などのスイッチング素子105を介して電荷検出アンプ106に接続されている。

【0005】

このような電磁波検出器にX線等の電磁波が入射すると、半導体膜101内で電荷(電子-正孔対)が発生する。この時、バイアス電極102と電荷収集電極103との間に印加されるバイアス電圧により、半導体膜101で発生した電子は+電極側に、正孔は-電極側に移動し、その結果、蓄積容量104に電荷が蓄積される仕組みになっている。蓄積容量104に蓄積された電荷は、スイッチング素子105をオンにすることで電荷検出アンプ106に取り出される。こうして、電荷検出アンプ106により検出された電荷量から、半導体膜101に入射した電磁波の強度を検知することができる。

【0006】

また、このような電磁波検出器の構成要素(電荷収集電極、蓄積容量、スイッチング素子)を二次元状にマトリクス配置し、線順次に電荷を読み出していくことで、検出対象である電磁波の二次元情報を得ることが可能となる。ここで、二次元のマトリクスアレイとしては、薄膜トランジスタ(TFT)をスイッチング素子として使用したアクティブマトリクスアレイを用いることができる。

【0007】

図9(a)は、スイッチング素子105、蓄積容量104、電荷収集電極103、およびそれらを駆動するための配線(走査線(ゲート配線)107、信号線(ソース配線)108等:図9(b)参照)を備えたアクティブマトリクスアレイ110と、その上に設けられた半導体膜101と、さらにその上に設けられたバイアス電極102によって構成される電磁波検出器の断面構造(1画素分)を示すものである。図9(b)は、図9(a)に示するアクティブマトリクスアレイを上側から見た平面図であり、1画素当たりのレイアウトを示すものである。

【0008】

上述の電磁波検出器は、大面積で高精細の検出器を実現することができ、胸部

のX線撮影などに用いられる医療用検出器の場合、17インチ×17インチ程度の面積を有し、3000×3000程度の画素を備えた検出器が必要とされる。したがって、上記アクティブマトリクスアレイに格子状に配設されている走査線107や信号線108には、高い周波数で精度良く電気信号を伝送する能力が求められ、それぞれの時定数（配線抵抗値×配線容量）をできるだけ小さくするアレイ設計が求められる。

【0009】

このため、大面積で高精細の電磁波検出器では、図9（b）に示すように、走査線107と信号線108とが電荷収集電極103と平面的に重畳しない設計が有用と考えられる。この結果、走査線107または信号線108と電荷収集電極103との重畳領域に発生する寄生容量を無くすることができ、それぞれの配線容量を低減することが可能になる。

【0010】

【非特許文献1】

S. O. Kasap, J. A. Rowlands, “Direct-Conversion Flat-Panel X-Ray Image Sensors for Digital Radiography”, Proceedings of the IEEE, 米国, April, 2002, Vol. 90, No. 4, pp.591-604]

【0011】

【発明が解決しようとする課題】

ところが、走査線107と信号線108とが電荷収集電極103と平面的に重畳しない上述の構成においても、厳密には、電荷収集電極103のエッジから上記配線に向けて広がる電気力線が存在するために、そこには僅かな寄生容量が残存する。

【0012】

このようなそれぞれの配線（特に、信号線108）と電荷収集電極103との間の寄生容量を減らすためには、それぞれの配線と電荷収集電極103の隙間をできるだけ大きくするような画素レイアウトを採用することが考えられる。しかしながら、その場合には配線と電荷収集電極103の隙間を広げる分だけ電荷収集電極103の面積占有率（充填率、フィルファクターとも呼ぶ）が小さくなっ

てしまう。電荷収集電極 103 の面積占有率が小さくなると、電荷の収集効率が悪くなり、電磁波検出器の検出感度が低下してしまうといった問題がある。

【0013】

本発明は、上記の問題点を解決するためになされたもので、その目的は、電荷収集電極の面積占有率をできるだけ大きく確保できるアクティブマトリクスアレイを採用しながら、S/N の優れた、大面積で高精細の電磁波検出器を提供することにある。

【0014】

【課題を解決するための手段】

本発明のアクティブマトリクス基板は、上記の課題を解決するために、基板上に、信号線、走査線が格子状に配設され、単位格子毎にスイッチング素子と画素電極とが形成されたアクティブマトリクス基板において、上記画素電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記画素電極と上記信号線との隙間を $X1$ 、上記画素電極と上記走査線との隙間を $Y1$ としたとき、 $X1 > Y1$ の関係を満たすことを特徴としている。

【0015】

上記アクティブマトリクス基板を用いた電磁波検出器では、読出し信号の S/N を向上させる観点から、信号線は走査線に比べて一層の配線容量の低減が求められる。ここで、上記アクティブマトリクス基板では、上述の $X1 > Y1$ の関係により、画素電極（電荷収集電極）と配線との間に発生する寄生容量は、信号線についての寄生容量が走査線についての寄生容量よりも小さくなる。

【0016】

すなわち、上記の構成によれば、画素電極と信号線との隙間 $X1$ を画素電極と操作線との隙間 $Y1$ よりも広げることで、画素電極（電荷収集電極）の面積占有率の低下を最小限に抑えながら、信号線の配線容量を低減し、S/N の優れた電磁波検出器が実現できる。

【0017】

また、上記アクティブマトリクス基板では、上記単位格子毎に、金属膜からなる蓄積容量電極を備えた画素容量が備えられており、上記蓄積容量電極は、上記

信号線及び走査線と平面的に重畳しておらず、かつ、上記蓄積容量電極と上記信号線との隙間を $X2$ 、上記蓄積容量電極と上記走査線との隙間を $Y2$ としたとき、 $X2 > Y2$ の関係を満たす構成とすることができる。

【0018】

上記構成のアクティブマトリクス基板では、電磁波検出器での使用にあたって、アクティブマトリクス基板の裏面側から光を照射し、画素電極間に生成するトラップ電荷の悪影響を防止することが考えられる。また、画素電極間に生成するトラップ電荷は、その画素電極間の隙間が大きくなるほどその影響は顕著となる。

【0019】

このような使用形態のアクティブマトリクス基板において、上記の構成によれば、より隙間の大きい信号線を跨ぐ方向の画素電極間の隙間に光を照射しやすいアクティブマトリクス基板が実現でき、このアクティブマトリクス基板を用いることで、画素電極間に生成するトラップ電荷の悪影響を最小限に抑えることができる。

【0020】

本発明の電磁波検出器は、上記の課題を解決するために、アクティブマトリクス基板上に、検出対象の電磁波に感応して電荷を生成する半導体膜が形成されており、上記アクティブマトリクス基板における画素電極が、上記半導体膜で生成された電荷に対する電荷収集電極として作用する電磁波検出器において、上記アクティブマトリクス基板は、基板上に、信号線、走査線が格子状に配設され、単位格子毎にスイッチング素子と画素電極とが形成されてなる構成であり、上記画素電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記画素電極と上記信号線との隙間を $X1$ 、上記画素電極と上記走査線との隙間を $Y1$ としたとき、 $X1 > Y1$ の関係を満たすことを特徴としている。

【0021】

上記の構成によれば、上記アクティブマトリクス基板と同様に、画素電極と信号線との隙間 $X1$ を画素電極と操作線との隙間 $Y1$ よりも広げることで、画素電極（電荷収集電極）の面積占有率の低下を最小限に抑えながら、信号線の配線容

量を低減し、S/Nの優れた電磁波検出器が実現できる。

【0022】

また、上記電磁波検出器では、上記アクティブマトリクス基板に対し、上記画素電極の形成側と反対側に、光源を備えている構成とすることができる。

【0023】

上記の構成によれば、電磁波検出器の使用時において、アクティブマトリクス基板の裏面側から光を照射し、画素電極間に生成するトラップ電荷の悪影響を防止することができる。

【0024】

また、上記電磁波検出器では、上記アクティブマトリクス基板は、上記単位格子毎に、金属膜からなる蓄積容量電極を備えた画素容量が備えられており、上記蓄積容量電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記蓄積容量電極と上記信号線との隙間を $X2$ 、上記蓄積容量電極と上記走査線との隙間を $Y2$ としたとき、 $X2 > Y2$ の関係を満たす構成とすることができる。

【0025】

上記の構成によれば、より隙間の大きい信号線を跨ぐ方向の画素電極間の隙間に光を照射しやすくなり、画素電極間に生成するトラップ電荷の悪影響を最小限に抑えることができる。

【0026】

【発明の実施の形態】

〔実施の形態1〕

本発明の実施の一形態について図1ないし図2に基づいて説明すれば、以下の通りである。尚、以下の説明においては、検出される画像の1画素分に相当する電磁波検出素子を複数備えており、それが2次元に配列されたものを電磁波検出器とする。

【0027】

図1(b)は、上記電磁波検出器の1画素単位の構造を示す断面図、図1(a)はその平面図である。図1(a)および(b)に示す1画素のサイズは、 $0.1\text{ mm} \times 0.1\text{ mm} \sim 0.3\text{ mm} \times 0.3\text{ mm}$ 程度であり、電磁波検出器全体と

してはこの画素（電磁波検出器）がXYマトリクス状に $500 \times 500 \sim 3000 \times 3000$ 画素程度配列されたものが一般的である。サイズとしては、X線の胸部撮影を想定すると、 $17'' \times 17''$ 程度のものが要求される。

【0028】

図1（a）および（b）に示すように、上記電磁波検出器は、アクティブマトリクス基板1上に、電磁波導電性を有する半導体膜2、および図示しない電源に接続されたバイアス電極（共通電極）3が順次形成されている。半導体膜2は、X線などの電磁波が照射されることにより、内部に電荷（電子－正孔）を発生するものである。つまり、半導体膜2は電磁波導電性を有し、X線などの電磁波画像情報を電荷情報に変換するためのものである。

【0029】

また、半導体膜2は、例えば、セレンを主成分とする（50%以上の含有率を有する）非晶質のa-Se（アモルファスセレン）からなる。この他に、CdTe、CdZnTe、PbI₂、HgI₂、GaAs、Siなどを半導体膜2として使用することもできる。なお半導体膜2の上層および／又は下層には、電荷ブロッキング層や緩衝層を設ける場合もあるが、本実施の形態1に係る電磁波検出器ではこれらの層を含めて半導体膜2と定義する。電荷ブロッキング層や緩衝層の例としては、AsやTeを含有したSe層、ハロゲンやアルカリ金属等を微量ドープしたSe層、もしくはSb₂S₃、CeO₂、CdS等の高抵抗半導体層等が挙げられる。

【0030】

以下に、アクティブマトリクス基板1について詳しく説明する。アクティブマトリクス基板1は、ガラス基板11、走査線（ゲート電極）12、蓄積容量線（蓄積容量電極）13、ゲート絶縁膜14、接続電極15、チャネル層16、コンタクト層17、信号線（ソース電極）18、絶縁保護膜19、層間絶縁膜20、画素電極（電荷収集電極）21とを有している。アクティブマトリクス基板1では、ガラス基板11上に信号線18および走査線12が格子状に配設され、その単位格子毎にスイッチング素子であるTFET（Thin Film Transistor）4と画素電極21とが形成されている。

【0031】

また、アクティブマトリクス基板 1 においては、走査線 12、ゲート絶縁膜 14、信号線 18、接続電極 15、チャネル層 16、およびコンタクト層 17 等により TFT 4 が構成されており、蓄積容量線 13、ゲート絶縁膜 14、接続電極 15 等により蓄積容量 (Cs) 5 が構成されている。

【0032】

尚、ここでは、図 2 (a) ~ (c) に示すように、走査線 12 のうち TFT 4 を構成する部分をゲート電極 12a、信号線 18 のうち TFT 4 を構成する部分をソース電極 18a、蓄積容量線 13 のうち蓄積容量 5 を構成する部分を蓄積容量電極 13a と呼ぶこととする。

【0033】

また、本実施の形態 1 では、ゲート電極 12a、ソース電極 18a、蓄積容量電極 13a が、それぞれ走査線 12、信号線 18、蓄積容量線 13 の一部を兼用して構成される構成を例示しているが、ゲート電極 12a、ソース電極 18a、蓄積容量電極 13a を、それぞれ走査線 12、信号線 18、蓄積容量線 13 とは別に構成しても構わない。

【0034】

ガラス基板 11 は支持基板であり、ガラス基板 11 としては、例えば、無アルカリガラス基板 (例えば、コーニング社製 # 1737 等) を用いることができる。走査線 12 および信号線 18 は、格子状に配列された電気配線 (金属配線) であり、その各交点には TFT 4 が形成されている。

【0035】

TFT 4 はスイッチング素子であり、そのソースおよびドレインのそれぞれは、信号線 18 および接続電極 15 に接続されている。つまり、信号線 18 は、信号線としての直線部分と、TFT 4 を構成するための延長部分 (すなわち、ソース電極 18a) とを備えており、接続電極 15 は、TFT 4 のドレイン電極を構成しながら TFT 4 と蓄積容量 5 とをつなぐように設けられている。

【0036】

ゲート絶縁膜 14 には、 SiN_x や SiO_x 等が使用可能である。ゲート絶縁膜

14は、ゲート電極12aおよび蓄積容量電極13aを覆うように設けられており、ゲート電極12a上に位置する部位がTF T4におけるゲート絶縁膜として作用し、蓄積容量電極13a上に位置する部位は蓄積容量5における誘電体層として作用する。つまり、蓄積容量5は、ゲート電極2と同一層に形成された蓄積容量電極13aと接続電極15との重畳領域によって形成されている。なお、ゲート絶縁膜14としては、 SiN_x や SiO_x に限らず、ゲート電極14aおよび蓄積容量電極13aを陽極酸化した陽極酸化膜を併用することもできる。

【0037】

また、チャネル層（i層）16はTF T4のチャネル部であり、ソース電極18aと接続電極15とを結ぶ電流の通路となる。コンタクト層（n+層）17は、チャネル層16とソース電極18aとのコンタクト、およびチャネル層16と接続電極15とのコンタクトを図る。

【0038】

絶縁保護膜19は、信号線18および接続電極15上、つまり、ガラス基板11上に、ほぼ全面（ほぼ全領域）にわたって形成されている。これにより、接続電極15とソース電極18aとを保護すると共に、これらの電極の電氣的な絶縁分離を図っている。また、絶縁保護膜19は、その所定位置、つまり、接続電極15において蓄積容量5を介して蓄積容量電極13aと対向している部分上に位置する部位に、コンタクトホール22を有している。

【0039】

絶縁保護膜19の上方には、層間絶縁膜20が設けられている。層間絶縁膜20は樹脂からなり、TF T4の平坦化を図っている。層間絶縁膜20の上層、すなわちアクティブマトリクス基板1の最上層には、ITOやAlなどの導電膜からなる画素電極21が設けられている。層間絶縁膜20においても、絶縁保護膜19と同一箇所にコンタクトホール22が貫通しており、画素電極21は該コンタクトホール22を介して接続電極15に接続されている。

【0040】

さらに、画素電極21上には、半導体膜2とバイアス電極3が略全面を覆うように形成されている。

【0041】

バイアス電極3と蓄積容量電極13aとの間には、半導体膜2に対して電圧が印加できるように、図示しない電源が接続されている。これにより、蓄積容量5を介してバイアス電極3と画素電極21との間に電界を発生させることができる。このとき、半導体膜2と蓄積容量5とは、電氣的に直列に接続された構造になっているので、バイアス電極3にバイアス電圧を印加した状態で、X線等の電磁波の吸収によって半導体膜2内に電荷（電子－正孔対）が生成すると、生成した電子は＋電極側に、正孔は－電極側に移動する。その結果、蓄積容量5に電荷が蓄積される。

【0042】

電磁波検出器全体において画素電極21は1次元または2次元に複数配列されていると共に、該電磁波検出器は、画素電極21に個別に接続された蓄積容量5と蓄積容量5に個別に接続されたTF T4とを複数備えている。これにより、1次元または2次元の電磁波情報を一旦蓄積容量5に蓄積し、TF T4を順次走査していくことで、1次元または2次元の電荷情報を簡単に読み出すことができる。尚、上記電荷情報を読み出すために、各信号線18の端部には電荷検出アンプが接続されている（図8参照）。

【0043】

以上、本実施の形態1に係る電磁波検出器の基本的な構造について説明してきたが、続いて上記電磁波検出器の特徴点について説明する。

【0044】

上述のような電磁波検出器では、大面積で高精細の検出器を実現するために、走査線12や信号線18において高い周波数で精度良く電気信号を伝送する能力が求められ、それぞれの時定数（配線抵抗値×配線容量）をできるだけ小さくするアレイ設計が求められることは従来の技術にて既に述べた通りである。

【0045】

このため、大面積で高精細の電磁波検出器では、通常、走査線12および信号線18と画素電極21とが平面的に重畳しない設計が用いられ、走査線12および信号線18と画素電極21との間に発生する寄生容量を低減するようになって

いる。但し、画素電極 21 と各々の配線とが重畳しない場合であっても、両者の隙間が狭い場合には、画素電極 21 の端部から各々の配線に向かう電気力線が存在し、僅かな寄生容量が残存する。

【0046】

本実施の形態 1 に係る電磁波検出器においては、更に最適な画素レイアウトを考えるにあたって、以下の二点を考慮して設計を行うものである。

【0047】

第 1 に、画素電極 21 と各々の配線との隙間において残存する寄生容量は、画素電極 21 と各々の配線との隙間を広げることによって低減することが可能であるが、この隙間を広げることは電磁波検出器における面積占有率を低下させることに繋がる。

【0048】

半導体膜 2 で生成された電荷を効率良く蓄積容量 5 に導くためには、画素電極 21 の面積占有率をできるだけ大きく設定することが好ましいことは言うまでもない。本発明人等の検討によれば、画素電極 21 の面積占有率が 50% を下回れば、電荷の収集効率が急激に悪くなることが判明している。したがって、画素電極 21 の面積占有率は 50% 以上、好ましくは 65% 以上に設定することが望ましい。

【0049】

第 2 に、信号線 18 の端部に電荷検出アンプが接続されている場合、信号線 18 から読み出される信号の雑音のゲインは、 $1 + C_d / C_f$ (C_d : 信号線の配線容量、 C_f : 電荷検出アンプのフィードバック容量) で表されるため、信号線 18 の配線容量は、読出し信号の S/N に直接作用する。したがって、読出し信号の S/N を向上させる観点から、信号線 18 は走査線 12 に比べて一層の配線容量の低減が求められる。

【0050】

上述の 2 つの観点から、本実施の形態 1 に係る電磁波検出器では、画素電極 21 の形状は図 1 (b) に示すように略矩形形状をしており、該画素電極 21 は走査線 12 および信号線 18 と平面的に重畳ないように形成されている。これは

、大面積で高精細の電磁波検出器を実現する際、走査線 12 や信号線 18 に高い周波数で精度良く電気信号を伝送する能力が求められ、それぞれの時定数（配線抵抗値×配線容量）をできるだけ小さくする設計が求められるためである。

【0051】

すなわち、画素電極 21 と走査線 12 および信号線 18 とが平面的に重畳にならないように形成することで、走査線 12 と画素電極 21 との重畳部に生成する容量、および信号線 18 と画素電極 21 との重畳部に生成する容量の発生を回避することができる。

【0052】

また、画素電極 21 と各々の配線とが重畳しない場合であっても、両者の隙間が狭い場合には、画素電極 21 の端部から各々の配線に向かう電気力線が存在し、僅かな寄生容量が残存する。この寄生容量の低減のためには、画素電極 21 と各々の配線の隙間をできるだけ離すことが求められる。

【0053】

しかしながら、画素電極 21 と各々の配線との隙間を広げることは、画素電極 21 の面積占有率の低下を招くため、本実施の形態 1 では、図 1（b）に示すように、画素電極 21 と信号線 18 との隙間を X1、画素電極 21 と走査線 12 との隙間を Y1 としたとき、 $X1 > Y1$ の関係を満たす設計を導入している。言い換えれば、走査線 12 と信号線 18 との格子によって区分けされる画素形状が略正方形であるのに対し、本願の画素電極 21 は、信号線 18 に沿った辺が長辺となるような長方形になっている。

【0054】

すなわち、上述した第 2 の観点から、信号線 18 は走査線 12 に比べて一層の配線容量の低減が求められるものであり、画素電極 21 と各々の配線との隙間について $X1 > Y1$ の関係を満たすことにより、画素電極 21 の面積占有率の低下を最小限に抑えながらも信号線 18 の配線の配線容量を効果的に低減することができ、大面積で高精細の電磁波検出器を実現することが可能となる。

【0055】

本発明を適用する電磁波検出器において、例えば画素ピッチが 100～200

μm の場合には、 $X1 = 5 \sim 25 \mu\text{m}$ 、 $Y1 = 0 \sim 5 \mu\text{m}$ に設定すると良い。このレイアウトを導入することによって、画素電極 21 の面積占有率の低下を最小限に抑えながら、信号線 18 の配線容量を低減することが可能になる。

【0056】

なお、本実施の形態 1 においては、直接変換型の電磁波検出器に適用可能なアクティブマトリクス基板の構造を示したが、アクティブマトリクス基板内に画素毎にフォトダイオード素子を併置した電磁波検出器（光電変換装置）にも適用可能である。図 6 に原理図を、図 7 に素子構造断面図（1 画素あたり）を示す。この場合、フォトダイオード 31 は、TFT 素子 32 に接続され画素毎に設けられた第 1 電極 42 と、複数の画素に共通に設けられた第 2 電極 42 との間に半導体 43 が挟持された素子により構成されるが、この第 1 電極 41 が本願の画素電極に相当する。

【0057】

〔実施の形態 2〕

次に、上記実施の形態 1 に示した電磁波検出器の変形例の一つを、図 3 ～ 図 5 に基づいて説明する。

【0058】

図 3 は、本発明の実施の一形態における電磁波検出器の 1 画素単位の構造を示す平面図である。また、本実施の形態 2 に係る電磁波検出器の断面構造については、基本的に実施の形態 1 と同様である。

【0059】

本実施の形態 2 では、実施の形態 1 の画素レイアウトに対して、さらに蓄積容量 5 における蓄積容量電極 13a の形状を変更している。すなわち、図 3 に示すように、蓄積容量電極 13a と信号線 18 との隙間を $X2$ 、蓄積容量電極 13a と走査線 12 との隙間を $Y2$ としたとき、 $X2 > Y2$ の関係を満たす設計を導入している。

【0060】

以下、図 3 に示すレイアウトの効果について説明する。図 1 (b) に示した画素レイアウトの場合、 $X1 > Y1$ の関係を満たすことから、図 4 に示すように、

隣接する画素電極 21 間の隙間は、走査線 12 を跨ぐ方向（図では縦方向）の隙間 B に比べて、信号線 18 を跨ぐ方向（図では横方向）の隙間 A の方が広くなる。

【0061】

電磁波検出器の場合、画素電極 21 はその上の半導体膜 2 に発生した電荷を収集するための電荷収集電極として作用するが、一般に、隣接する画素電極 21 間同士の隙間 A、B には、電荷がトラップされやすいことが知られている。例えば、「W. Zhao, G. DeCrescenzo, J. A. Rowlands, "Investigation of lag and ghosting in amorphous selenium flat-panel x-ray detectors", Proceedings of SPIE, Vol. 4682, pp. 9-20, 2002」でそのメカニズムが説明されている。

【0062】

隣接する画素電極 21 間に過剰に電荷がトラップされると、画像を撮像する際に、残像や感度低下などの悪影響を与える。このトラップ電荷による悪影響は、画素電極 21 間の隙間が広い程顕著に現れる。したがって、上述の隙間 A、隙間 B を比較すると、隙間 A にトラップされた電荷による悪影響が顕著に出ることになる。

【0063】

一方、このようなトラップされた電荷に対しては、特開平 9-9153 号公報（対応 USP5563421 号）に開示されているように、その領域に光を照射することで、トラップを解消できることが知られている。

【0064】

例えば、図 5 に示すように、アクティブマトリクス基板 1（図 5 では、画素電極 21 以外の構成については図示を省略している）の裏面（すなわち、アクティブマトリクス基板 1 に対する画素電極 21 の形成側と反対側）に平面光源 6 を設置し、アクティブマトリクス基板 1 を介して画素電極 21 間の隙間 A、隙間 B に光を照射することで、上述のトラップ電荷による悪影響を回避することが可能になる。このとき、アクティブマトリクス基板 1 には、金属膜からなる部材（走査線 12、信号線 18、蓄積容量電極 13a など）が形成されているために、平面光源 6 から出射された光は、これらの配線や電極によって形成される開口部を通

ってアクティブマトリクス基板 1 の表面に到達することになる。

【0065】

ここで、前述したように、上述の隙間 A、隙間 B を比較すると、間隔の広い隙間 A においてトラップされた電荷による悪影響が大きく出やすいことから、隙間 B よりも隙間 A に対して積極的に光を照射できる画素のレイアウトが求められる。

【0066】

そこで、本実施の形態 2 においては、図 3 に示すように、蓄積容量電極 13a と信号線 18 との隙間を X2、蓄積容量電極 5 と走査線 12 との隙間を Y2 としたとき、 $X2 > Y2$ の関係を満たすレイアウトを採用している。また、図 3 のレイアウトにおいて、接続電極 15 は蓄積容量電極 5 とほぼ同様の形状とされている。

【0067】

このレイアウトにおいて、走査線 12、信号線 18、蓄積容量電極 13a は全て金属膜によって形成されていることから、X2、Y2 はともに光が透過する開口領域の幅に相当する。したがって、幅の広い X2 に多くの光が透過し、隙間 A に効率的に光を照射することが可能になる。この結果、残像や感度低下などの特性不良を最小限に抑えた電磁波検出器を実現することが可能になる。

【0068】

なお、本実施の形態においては、蓄積容量線が走査線に並行に配設されたアクティブマトリクス基板の例を示したが、蓄積容量配線は信号線に並行に配設されても構わない。また、アクティブマトリクス基板の素子構造の詳細は、本願の構成に限定されるものではない。また、蓄積容量電極が ITO などの光透過性膜によって形成される場合であっても、そこで僅かでもの光の吸収が生じる場合には、本願の構成を用いる方が好ましい。

【0069】

【発明の効果】

本発明のアクティブマトリクス基板は、以上のように、基板上に、信号線、走査線が格子状に配設され、単位格子毎にスイッチング素子と画素電極とが形成さ

れたアクティブマトリクス基板において、上記画素電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記画素電極と上記信号線との隙間を $X1$ 、上記画素電極と上記走査線との隙間を $Y1$ としたとき、 $X1 > Y1$ の関係を満たす構成である。

【0070】

それゆえ、画素電極と信号線との隙間 $X1$ を画素電極と操作線との隙間 $Y1$ よりも広げることで、画素電極（電荷収集電極）の面積占有率の低下を最小限に抑えながら、信号線の配線容量を低減し、 S/N の優れた電磁波検出器が実現できるといった効果を奏する。

【0071】

また、上記アクティブマトリクス基板では、上記単位格子毎に、金属膜からなる蓄積容量電極を備えた画素容量が備えられており、上記蓄積容量電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記蓄積容量電極と上記信号線との隙間を $X2$ 、上記蓄積容量電極と上記走査線との隙間を $Y2$ としたとき、 $X2 > Y2$ の関係を満たす構成とすることができる。

【0072】

それゆえ、上記構成のアクティブマトリクスを電磁波検出器で使用するにあたって、アクティブマトリクス基板の裏面側から光を照射し、画素電極間に生成するトラップ電荷の悪影響を防止することができる。この時、より隙間の大きい信号線を跨ぐ方向の画素電極間の隙間に光を照射しやすいアクティブマトリクス基板が実現でき、このアクティブマトリクス基板を用いることで、画素電極間に生成するトラップ電荷の悪影響を最小限に抑えることができるといった効果を奏する。

【0073】

本発明の電磁波検出器は、以上のように、アクティブマトリクス基板上に、検出対象の電磁波に感应して電荷を生成する半導体膜が形成されており、上記アクティブマトリクス基板における画素電極が、上記半導体膜で生成された電荷に対する電荷収集電極として作用する電磁波検出器において、上記アクティブマトリクス基板は、基板上に、信号線、走査線が格子状に配設され、単位格子毎にスイ

ッチング素子と画素電極とが形成されてなる構成であり、上記画素電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記画素電極と上記信号線との隙間を $X1$ 、上記画素電極と上記走査線との隙間を $Y1$ としたとき、 $X1 > Y1$ の関係を満たす構成である。

【0074】

それゆえ、画素電極と信号線との隙間 $X1$ を画素電極と操作線との隙間 $Y1$ よりも広げることで、画素電極（電荷収集電極）の面積占有率の低下を最小限に抑えながら、信号線の配線容量を低減し、 S/N の優れた電磁波検出器が実現できるといった効果を奏する。

【0075】

また、上記電磁波検出器では、上記アクティブマトリクス基板に対し、上記画素電極の形成側と反対側に、光源を備えている構成とすることができる。

【0076】

それゆえ、電磁波検出器の使用時において、アクティブマトリクス基板の裏面側から光を照射し、画素電極間に生成するトラップ電荷の悪影響を防止することができるという効果を奏する。

【0077】

また、上記電磁波検出器では、上記アクティブマトリクス基板は、上記単位格子毎に、金属膜からなる蓄積容量電極を備えた画素容量が備えられており、上記蓄積容量電極は、上記信号線及び走査線と平面的に重畳しておらず、かつ、上記蓄積容量電極と上記信号線との隙間を $X2$ 、上記蓄積容量電極と上記走査線との隙間を $Y2$ としたとき、 $X2 > Y2$ の関係を満たす構成とすることができる。

【0078】

それゆえ、より隙間の大きい信号線を跨ぐ方向の画素電極間の隙間に光を照射しやすくなり、画素電極間に生成するトラップ電荷の悪影響を最小限に抑えることができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の一実施形態を示すものであり、図1（a）は電磁波検出器の1画素単

位の構造を示す断面図、図 1 (b) はその平面図である。

【図 2】

図 2 (a) は走査線とゲート電極との形状を示す平面図、図 2 (b) は信号線とソース電極との形状を示す平面図、図 2 (c) は電荷容量線と電荷容量電極との形状を示す平面図である。

【図 3】

本発明の他の実施形態を示すものであり、電磁波検出器の 1 画素単位の構造を示す平面図である。

【図 4】

上記電磁波検出器で用いられるアクティブマトリクス基板において、隣接する画素電極の隙間を示す平面図である。

【図 5】

上記電磁波検出器において、アクティブマトリクス基板の裏面に光源を配置する場合の構成を示す断面図である。

【図 6】

アクティブマトリクス基板内に画素毎にフォトダイオード素子を併置した電磁波検出器の検出原理を示す断面図である。

【図 7】

アクティブマトリクス基板内に画素毎にフォトダイオード素子を併置した電磁波検出器の 1 画素単位の構造を示す断面図である。

【図 8】

電磁波検出器の検出原理を示す断面図である。

【図 9】

従来の電磁波検出器を示すものであり、図 9 (a) は電磁波検出器の 1 画素単位の構造を示す断面図、図 9 (b) はその平面図である。

【符号の説明】

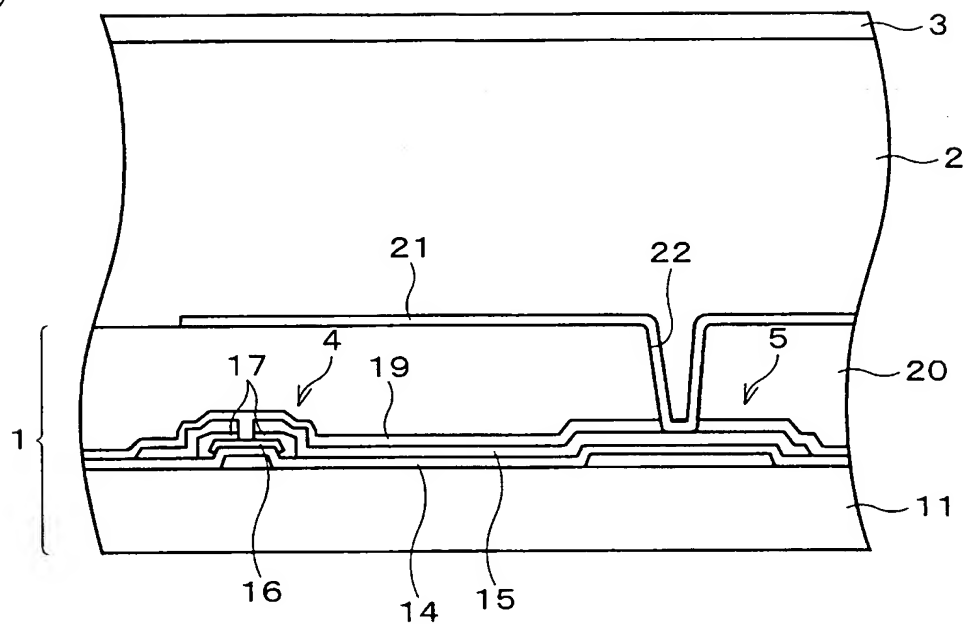
- 1 アクティブマトリクス基板
- 2 半導体膜
- 3 バイアス電極

- 4 T F T (スイッチング素子)
- 5 蓄積容量
- 6 平面光源 (光源)
- 1 1 ガラス基板 (基板)
- 1 2 走査線
- 1 3 蓄積容量線
- 1 3 a 蓄積容量電極
- 1 8 信号線
- 2 1 画素電極 (電荷収集電極)

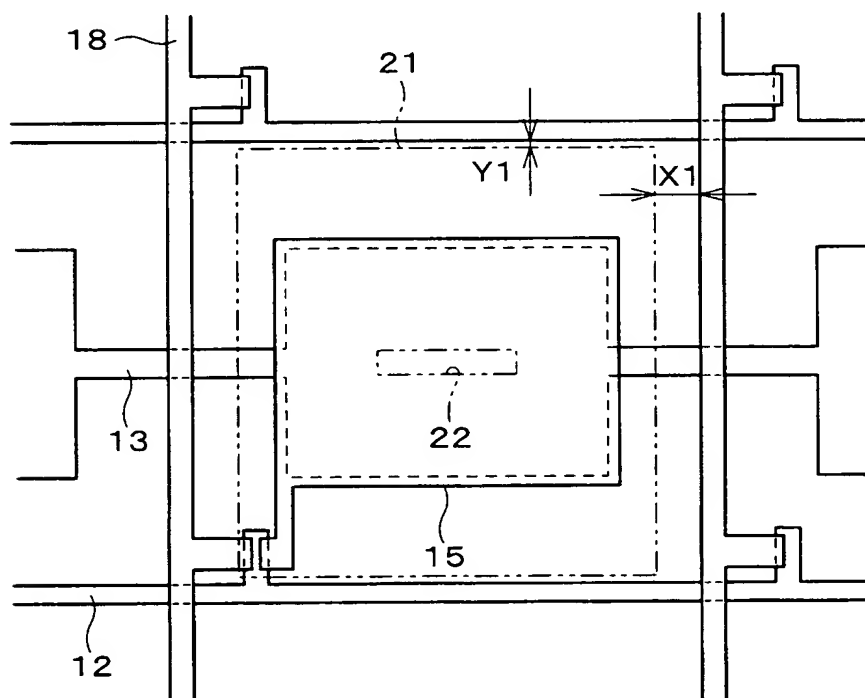
【書類名】 図面

【図 1】

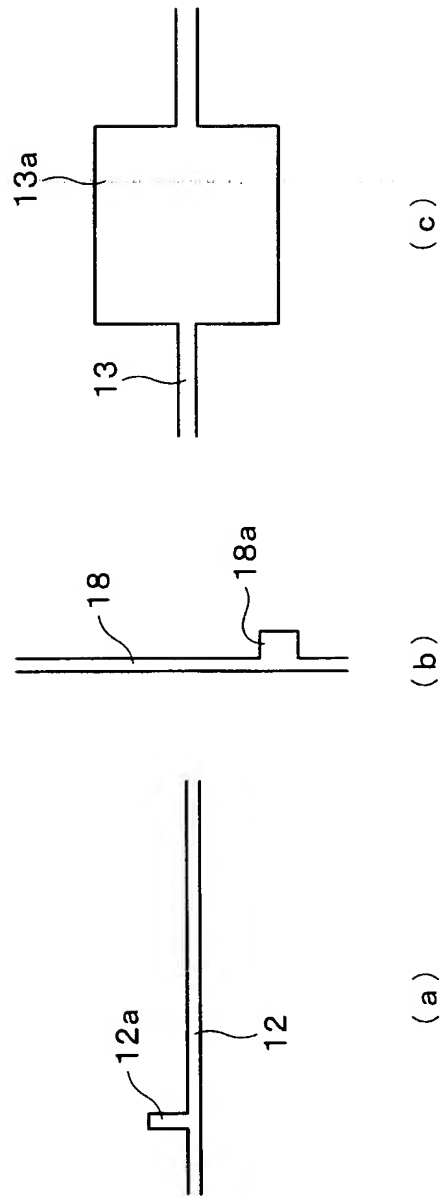
(a)



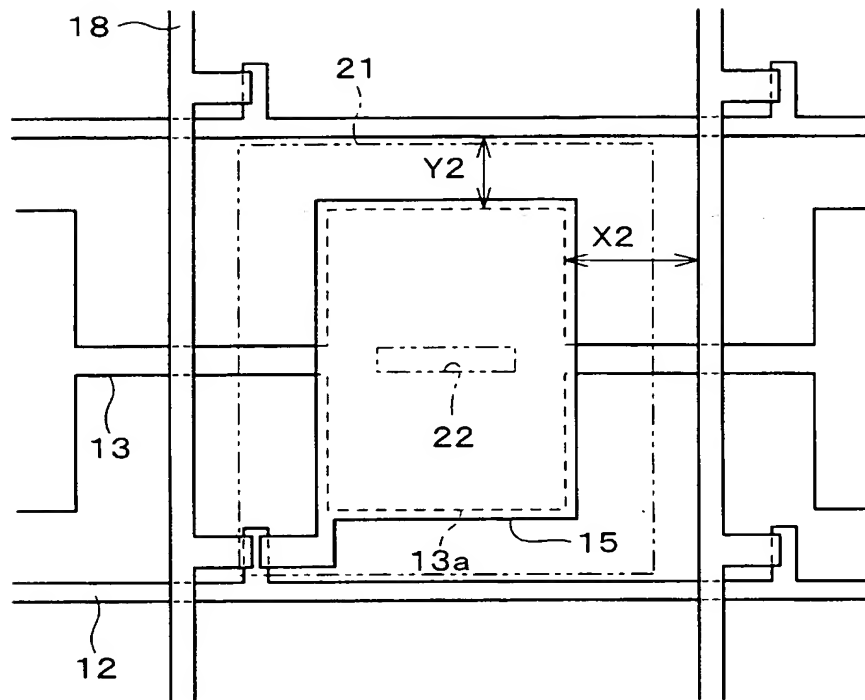
(b)



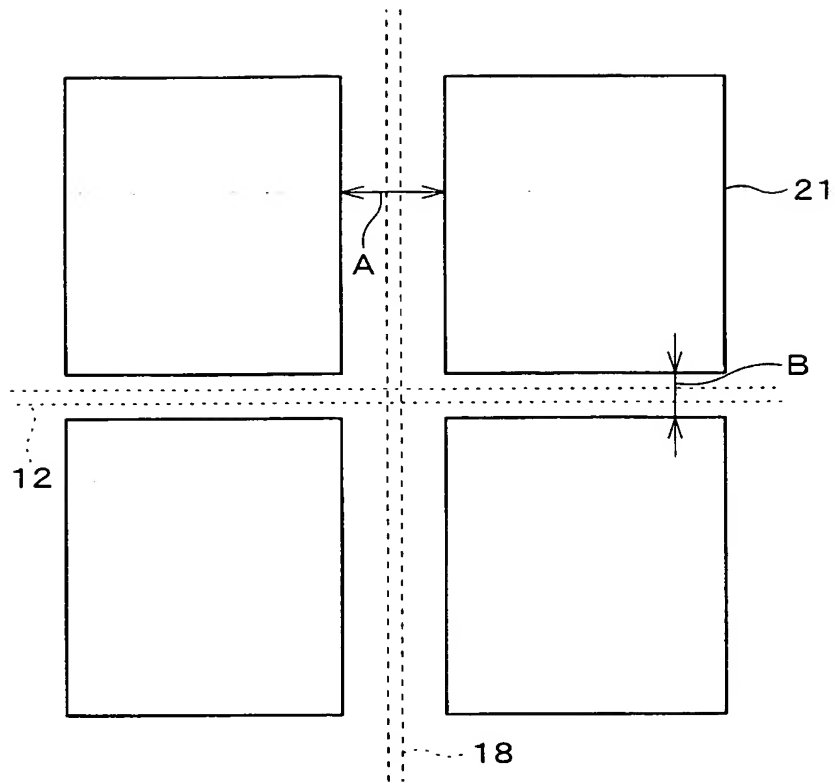
【図 2】



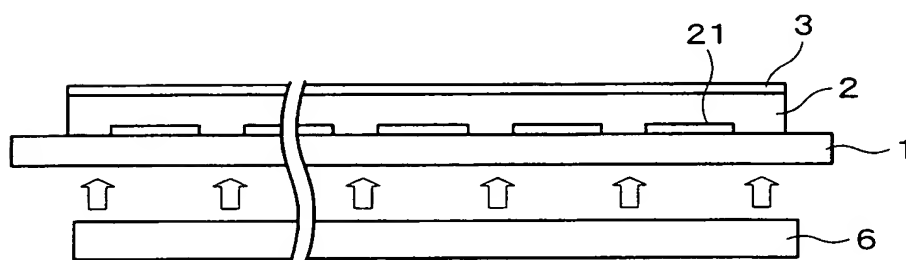
【図 3】



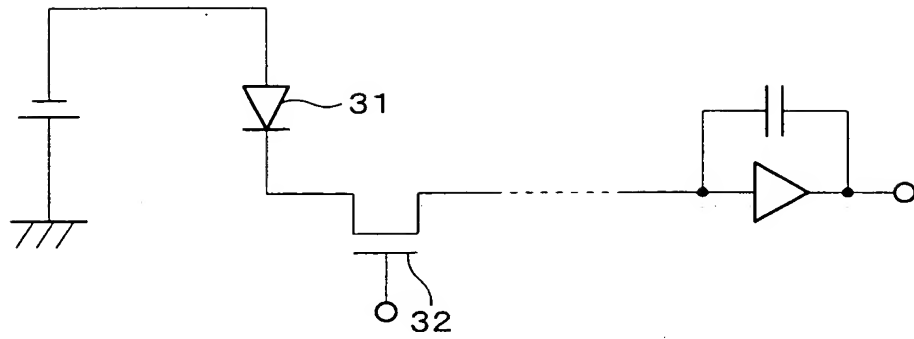
【図 4】



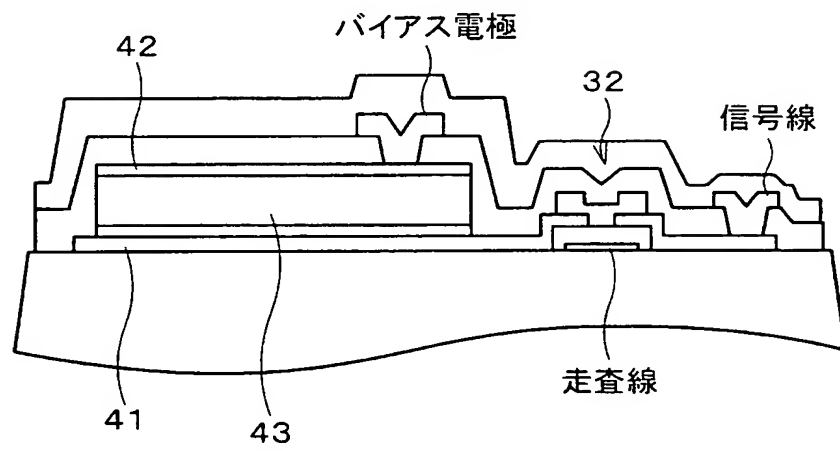
【図 5】



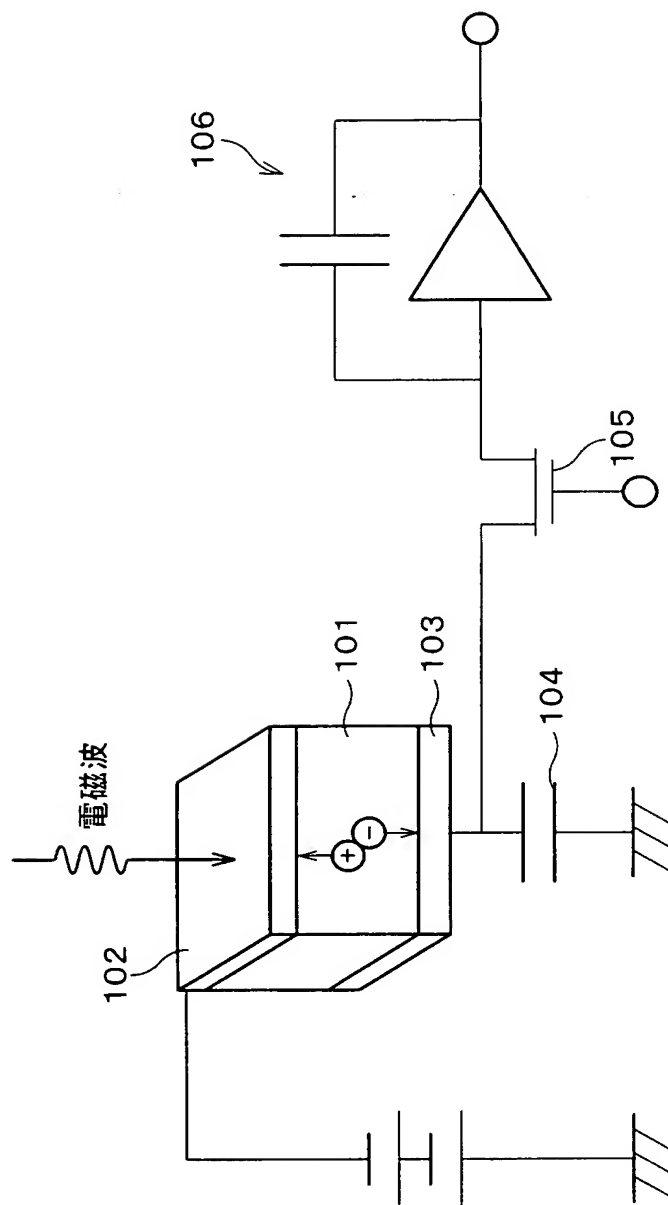
【図 6】



【図 7】

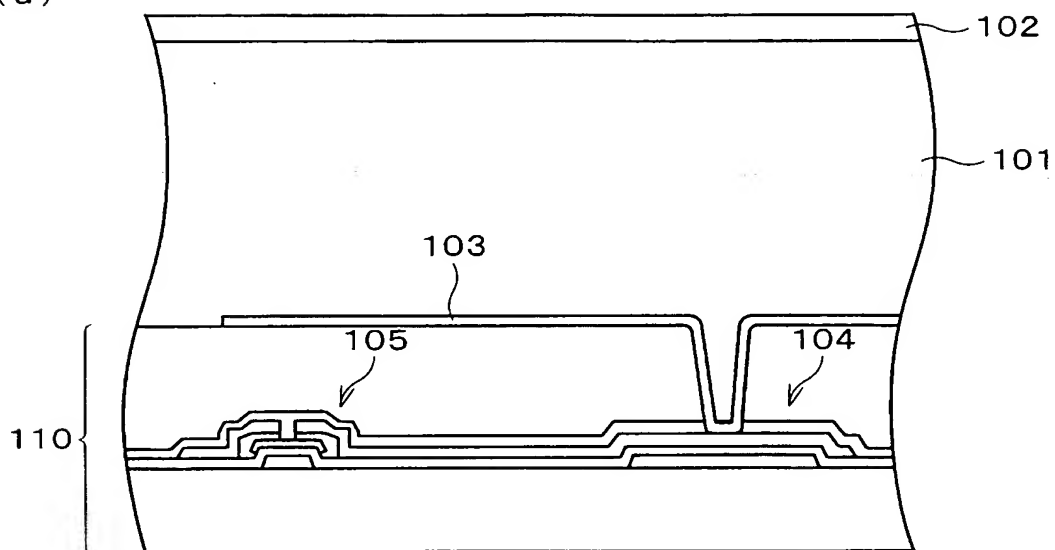


【図 8】

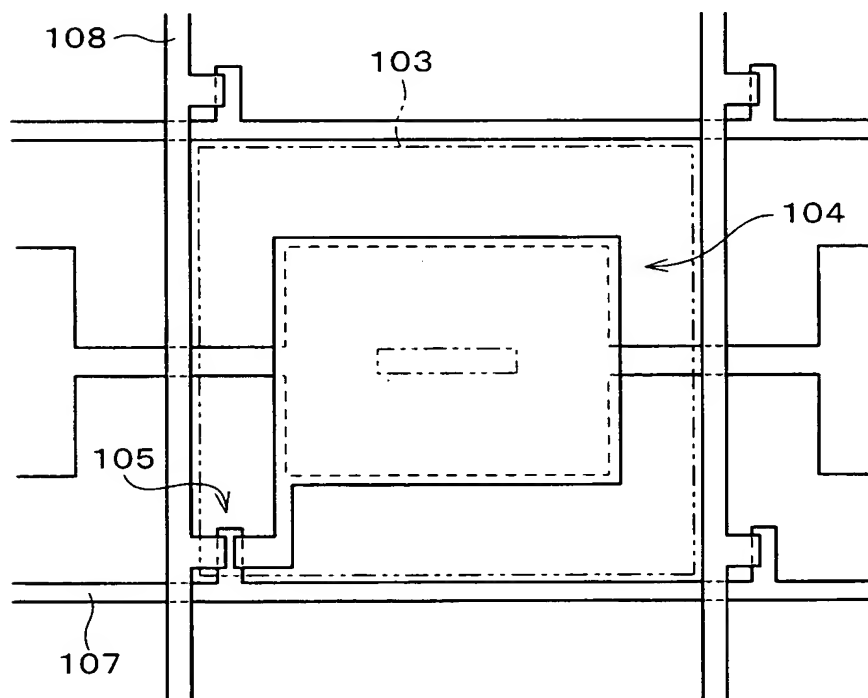


【図 9】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 電荷収集電極の面積占有率をできるだけ大きく確保できるアクティブマトリクスアレイを採用しながら、S/Nの優れた、大面積で高精細の電磁波検出器を提供する。

【解決手段】 アクティブマトリクス基板 1 上において、画素電極 2 1 は信号線 1 8 及び走査線 1 2 と平面的に重畳しておらず、かつ、上記画素電極 2 1 と上記信号線 1 8 との隙間を X 1、上記画素電極 2 1 と上記走査線 1 2 との隙間を Y 1 としたとき、 $X 1 > Y 1$ の関係を満たす。

【選択図】 図 1

特願 2 0 0 3 - 0 1 6 7 5 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社

特願 2 0 0 3 - 0 1 6 7 5 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 9 9 3]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

京都府京都市中京区西ノ京桑原町 1 番地

氏 名

株式会社島津製作所